

## Input-output circuit cell and semiconductor integrated circuit apparatus

Patent Number:  US6121687

Publication date: 2000-09-19

Inventor(s): MIYAMOTO KAZUHISA (JP); UDA TAKAYUKI (JP); YAMAGATA RYO (JP)

Applicant(s): HITACHI LTD (JP)

Requested Patent:  JP10173057

Application Number: US19970987771 19971209

Priority Number(s): JP19960331947 19961212

IPC Classification: H01L29/80; H01L31/112

EC Classification: H01L23/50

Equivalents: JP3177464B2

### Abstract

An input-output circuit cell includes an input-output circuit formed on a semiconductor chip and having a signal terminal and an electric source terminal and a plurality of input-output bumps connected to the signal and electric-source terminals of the input-output circuit through wirings respectively, the plurality of input-output bumps being made to correspond to the input-output circuit and arranged at a center in a plane of projection of the input-output circuit. Accordingly, the input-output circuit is disposed in an arbitrary position on the semiconductor chip.

Data supplied from theesp@cenetest database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-173057

(43)公開日 平成10年(1998)6月26日

(51)Int.Cl.<sup>6</sup>  
H 0 1 L 21/82  
27/04  
21/822

識別記号

F I  
H 0 1 L 21/82  
27/04

P  
W  
A  
E

審査請求 未請求 請求項の数4 O L (全 9 頁)

(21)出願番号 特願平8-331947

(22)出願日 平成8年(1996)12月12日

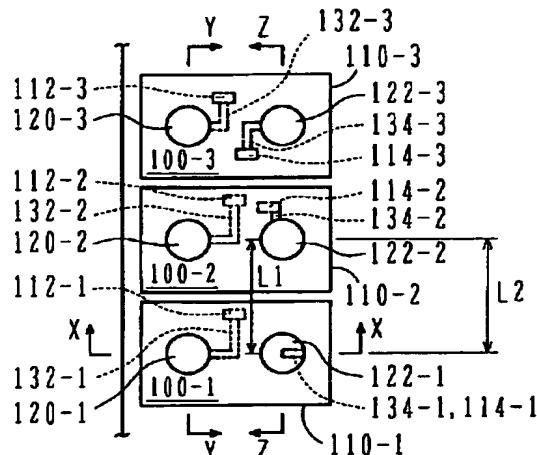
(71)出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地  
(72)発明者 宮本 和久  
神奈川県秦野市堀山下1番地 株式会社日  
立製作所汎用コンピュータ事業部内  
(72)発明者 山崎 良  
神奈川県秦野市堀山下1番地 株式会社日  
立製作所汎用コンピュータ事業部内  
(72)発明者 宇田 隆之  
神奈川県秦野市堀山下1番地 株式会社日  
立製作所汎用コンピュータ事業部内  
(74)代理人 弁理士 春日 譲

(54)【発明の名称】 入出力回路セル及び半導体集積回路装置

(57)【要約】 (修正有)

【課題】 半導体チップ上に任意に配置できる入出力回路セルと、外部インターフェースユニットと入出力回路間の伝搬ディレイが小さい、集積回路装置を提供する。

【解決手段】 半導体チップの上には、外部インターフェースユニットに接続される入出力回路ユニットが配置される。入出力回路ユニットは、複数の入出力回路セル110-1, 110-2, 110-3から構成されている。入出力回路セル110-1は、信号端子112-1と電源端子114-1を有し、この入出力回路110-1の信号端子及び電源端子とそれぞれ配線132-1, 134-1で接続された複数の入出力バンプ120-1, 122-1から構成されている。入出力回路110-1に対して複数の入出力バンプ120-1, 122-1を対応させた入出力回路セル110-1を単位として、半導体チップ上にレイアウトする。



110, 210:入出力回路ユニット

110-1, 110-2, 110-3:入出力回路

112-1, 112-2, 112-3:信号端子

114-1, 114-2, 114-3:電源端子

120-1, 120-2, 122-1, 122-2:入出力バンプ

132-1, 132-2, 134-1, 134-2:配線

## 【特許請求の範囲】

【請求項1】半導体チップに形成され、信号端子と電源端子を有する入出力回路と、この入出力回路の信号端子及び電源端子とそれぞれ配線で接続された複数の入出力バンプから構成される入出力回路セルにおいて、上記入出力回路に対して上記複数の入出力バンプを対応させるとともに、上記入出力バンプを上記入出力回路の投影面内の中央に配置することを特徴とする入出力回路セル。

【請求項2】半導体チップに形成され、信号端子と電源端子を有する入出力回路と、この入出力回路の信号端子及び電源端子とそれぞれ配線で接続された複数の入出力バンプから構成される入出力回路セルにおいて、上記入出力回路に対して上記複数の入出力バンプを対応させるとともに、上記複数の入出力バンプが占める面積を、上記入出力回路が占める面積に等しくなるように、上記入出力回路に対して、上記入出力バンプを配置したことを特徴とする入出力回路セル。

【請求項3】半導体チップに形成され、外部インターフェースユニットに接続される入出力回路ユニットを有する半導体集積回路装置において、上記入出力回路ユニットは、複数の入出力回路セルから構成され、上記入出力回路セルは、信号端子と電源端子を有する入出力回路と、この入出力回路の信号端子及び電源端子とそれぞれ配線で接続された複数の入出力バンプから構成され、上記入出力回路に対して上記複数の入出力バンプを対応させた入出力回路セルを単位として、上記半導体チップ上にレイアウトすることを特徴とする半導体集積回路装置。

【請求項4】請求項3記載の半導体集積回路装置において、上記入出力回路ユニットは、上記半導体チップの隣合う2辺にL字型に配置したことを特徴とする半導体集積回路装置。

## 【発明の詳細な説明】

## 【0001】

【発明が属する技術分野】本発明は、入出力回路セル及び半導体集積回路装置に関する。

## 【0002】

【従来の技術】1チップCPU等の半導体集積回路装置においては、1つの半導体チップ上に、論理素子ユニットやメモリユニットの他に、外部とインターフェースする外部インターフェースユニット及び、この外部インターフェースユニットと外部の入出力端子との間のバッファとなる入出力回路ユニットが形成される。

## 【0003】ここで、入出力回路ユニットを構成する入

出力回路の入出力端子は、多層配線基板中の配線によって入出力バンプに接続されている。一般に、従来の入出力バンプのピッチ間隔は、パッケージに形成されるピンのピッチ間隔と等しくなるようしている。一方、入出力回路の大きさは、回路種や外部を駆動するための負荷駆動力や、利用できる半導体プロセスによって大きさが規定されており、入出力回路のピッチ間隔は、上述した入出力バンプのピッチ間隔とは異なっている。従って、半導体チップ上に、入出力回路を配置する場合には、入出力バンプのピッチ間隔（即ち、パッケージのピンのピッチ間隔）と入出力回路のピッチ間隔を整合させる必要がある。例えば、パッケージのピンのピッチ間隔（即ち、入出力バンプのピッチ間隔）が300μmとし、入出力回路のピッチ間隔が180μmとすると、両者の最小公倍数を取り、1800μmの間に、パッケージの6ピン（6個の入出力バンプ）に対して、6個の入出力回路を対応させて、これらの入出力バンプと入出力回路は、レイアウト上まとめて配置するようになっていた。

## 【0004】

【0005】そして、従来は、パッケージのピンと入出力回路は、レイアウト上まとめて配置する必要があるため、例えば、半導体チップの周辺、即ち、正方形状の半導体チップの4辺のそれぞれに入出力回路を搭載するようになっていた。しかしながら、半導体チップの周辺に入出力回路を搭載する方式では、外部インターフェースユニットは、4辺に配置された入出力回路から等距離にある半導体チップの中央付近に搭載することになる。その結果、チップサイズの大規模化が進むと、外部インターフェースユニットと入出力回路の距離が大きくなり、伝搬ディレイが大きくなるという問題があった。特に、半導体集積回路装置として高性能CPUに適用する場合には、性能に対するオーバーヘッドが大きくなるものであった。また、半導体チップの周辺に入出力回路を搭載する方式では、半導体チップサイズと入出力バンプのピッチ間隔によって、1辺に配置できる入出力バンプの数が制限されることになる。即ち、入出力端子数が制限されることになる。

【0006】近年の半導体の微細化技術とともにLSIの高集積化が進むと、中央処理演算装置(CPU)等が1チップに集積され、1チップに必要とされる入出力端子の数も増加する傾向にある。そして、半導体チップの周辺に入出力回路を搭載する方式では、入出力端子数は、数百端子程度が限界となっている。

【0007】それに対して、パッケージのピンと入出力回路をレイアウト上まとめて配置する他の方法として、

例えば、半導体チップの内部にストライプ状に入出力回路を配置する方式が知られている。半導体チップの内部に、8本のストライプ状に入出力回路を配置すれば、半導体チップの4辺に入出力回路を配置する方式に比べて、入出力端子数を2倍にすることが可能である。そして、半導体チップの内部にストライプ状に入出力回路を配置することにより、半導体チップの中央に配置される外部インターフェースユニットとの距離は、上述の方式に比べて相対的に短くできるため、伝搬ディレイは小さくすることが可能となる。しかしながら、半導体チップの内部にストライプ状に入出力回路を搭載する方式では、論理ユニットは、ストライプ状に配置された入出力回路で分断されることになる。その結果、内部論理は、入出力回路を渡って伝搬する必要があるため、内部論理の伝搬ディレイのオーバーヘッドが大きくなるという問題があった。

【0008】本発明の目的は、入出力回路を半導体チップ上に任意に配置できる入出力回路セルを提供するにある。

【0009】本発明の他の目的は、外部インターフェースユニットと入出力回路の間の伝搬ディレイが小さく、内部論理の伝搬ディレイのオーバーヘッドが小さい半導体集積回路装置を提供することにある。

#### 【0010】

【課題を解決するための手段】上記目的を達成するためには、本発明は、半導体チップに形成され、信号端子と電源端子を有する入出力回路と、この入出力回路の信号端子及び電源端子とそれぞれ配線で接続された複数の入出力バンプから構成される入出力回路セルにおいて、上記入出力回路に対して上記複数の入出力バンプを対応させるとともに、上記入出力バンプを上記入出力回路の投影面内の中央に配置するようにしたものであり、かかる構成により、入出力回路を半導体チップ上に任意に配置し得るものとなる。

【0011】また、上記目的を達成するために、本発明は、半導体チップに形成され、信号端子と電源端子を有する入出力回路と、この入出力回路の信号端子及び電源端子とそれぞれ配線で接続された複数の入出力バンプから構成される入出力回路セルにおいて、上記入出力回路に対して上記複数の入出力バンプを対応させるとともに、上記複数の入出力バンプが占める面積を、上記入出力回路が占める面積に等しくなるように、上記入出力回路に対して、上記入出力バンプを配置するようにしたものであり、かかる構成により、入出力回路を半導体チップ上に任意に配置し得るものとなる。

【0012】また、上記目的を達成するために、本発明は、半導体チップに形成され、外部インターフェースユニットに接続される入出力回路ユニットを有する半導体集積回路装置において、上記入出力回路ユニットは、複数の入出力回路セルから構成され、上記入出力回路セル

は、信号端子と電源端子を有する入出力回路と、この入出力回路の信号端子及び電源端子とそれぞれ配線で接続された複数の入出力バンプから構成され、上記入出力回路に対して上記複数の入出力バンプを対応させた入出力回路セルを単位として、上記半導体チップ上にレイアウトするようにしたものであり、かかる構成により、入出力回路を半導体チップ上に任意に配置し得るものとなる。

【0013】上記半導体集積回路装置において、好ましくは、上記入出力回路ユニットは、上記半導体チップの隣合う2辺にL字型に配置するようにしたものであり、かかる構成により、外部インターフェースユニットと入出力回路の間の伝搬ディレイを小さくし、内部論理の伝搬ディレイのオーバーヘッドを小さくし得るものとなる。

#### 【0014】

【発明の実施の形態】以下、図1～図6を用いて、本発明の一実施形態による半導体集積回路装置について説明する。最初に、図1を用いて、本発明の一実施形態による半導体集積回路装置における半導体チップ上の各ユニットの配置について説明する。図1は、本発明の一実施形態による半導体集積回路装置における半導体チップ上のユニット配置の説明図である。

【0015】半導体チップ1000の左側の1辺及び下側の1边の計2辺には、L字型に入出力回路ユニット110, 210が配置されている。入出力回路ユニット110は、N個の入出力回路110-1, 110-2, 110-3, …, 110-Nから構成されている。同様にして、入出力回路ユニット210は、N個の入出力回路210-1, …, 210-Nから構成されている。入出力回路110-1, 110-2, 110-3, …, 110-N, 210-1, …, 210-Nは、それぞれ、入力バッファアンプ等を含む入力回路若しくは出力バッファアンプを含む出力回路である。入力回路は、電源ノイズ対策のためのバイパスコンデンサを含むものであってもよいものである。出力回路は、LSI外部伝送系のインピーダンス整合のための終端抵抗を含むものであってもよいものである。

【0016】半導体チップ1000の左下の隅、即ち、L字型に配置された入出力回路ユニット110, 210に最も近接する位置には、外部インターフェースユニットであるSPU(Second cash Processor Unit)200が配置されている。SPU200は、入出力回路ユニット110, 210に近接して配置されているため、SPU200と入出力回路ユニット110, 210との距離を小さくすることができる。従って、従来の半導体チップの周辺に入出力回路を搭載する方式に比べて、伝搬ディレイを小さくすることができるものである。

【0017】半導体チップ1000の残りの領域に、メ

モリユニット(MU:Memory Unit)400、浮動小数点ユニット(FU:Floating-point Unit)500、分岐命令ユニット(BU:Branch Unit)600等が配置される。即ち、MU400、FU500、BU600等は、入出力回路ユニット110、210によって分断されることなく、それぞれ、まとめて配置することが可能となっている。従って、従来の半導体チップの内部にストライプ状に入出力回路を搭載する方式に比べて、内部論理の伝搬ディレイのオーバーヘッドが小さくすることができるものである。

【0018】次に、図2を用いて、入出力回路ユニット110、210を構成する入出力回路について説明する。図2は、本発明の一実施形態による半導体集積回路装置に用いる入出力回路セルの説明図である。

【0019】図2においては、3個の入出力回路セル100-1、100-2、100-3を図示している。入出力回路セル100-1は、図1に示した入出力回路110-1と、入出力バンブ120-1、122-1と、多層配線基板に形成された配線132-1、134-1とから形成されている。

【0020】入出力回路セル100-1の断面構造については、図3～図5を用いて詳述するが、入出力回路110-1の上には、配線132-1、134-1が形成されている多層配線基板が接続される。配線132-1の一端は、入出力回路110-1に形成されている信号端子112-1と接続されている。また、配線132-2の一端は、入出力回路110-1に形成されている電源端子114-1と接続されている。

【0021】配線132-1、134-1が形成されている多層配線基板の上には、入出力バンブ120-1、122-1が形成される。入出力バンブ120-1は、配線132-1の他端と接続されている。また、入出力バンブ122-1は、配線134-1の他端と接続されている。

【0022】即ち、入出力バンブ120-1は、配線132-1を介して、入出力回路110-1に形成されている信号端子112-1と接続されており、信号バンブとなる。また、入出力バンブ122-1は、配線134-1を介して、入出力回路110-1に形成されている電源端子114-1と接続されており、電源バンブとなる。

【0023】同様にして、入出力回路セル100-2は、図1に示した入出力回路110-2と、入出力バンブ120-2、122-2と、多層配線基板に形成された配線132-2、134-2とから形成されている。入出力バンブ120-2は、配線132-2を介して、入出力回路110-2に形成されている信号端子112-2と接続されており、また、入出力バンブ122-2は、配線134-2を介して、入出力回路110-2に

形成されている電源端子114-2と接続されている。また、入出力回路セル100-3は、図1に示した入出力回路110-3と、入出力バンブ120-3、122-3と、多層配線基板に形成された配線132-3、134-3とから形成されている。入出力バンブ120-3は、配線132-3を介して、入出力回路110-3に形成されている信号端子112-3と接続されており、また、入出力バンブ122-3は、配線134-3を介して、入出力回路110-3に形成されている電源端子114-3と接続されている。

【0024】次に、図3を用いて、入出力回路セル110-1の断面構造について説明する。図3は、本発明の一実施形態による半導体集積回路装置に用いる入出力回路セルの断面図であり、図2のX-X断面図である。

【0025】入出力回路110-1は、半導体チップ1000の内部に形成されている。入出力回路110-1の表面に、多層配線基板130が形成される。多層配線基板130の中には、配線132-1、134-1が形成される。配線132-1の一端が、入出力回路110-1の信号端子112-1と接続されるように、配線132-1は、多層配線基板130の中に形成される。また、配線134-1の一端が、入出力回路110-1の電源端子114-1と接続されるように、配線134-1は、多層配線基板130の中に形成される。配線132-1、134-1の他端には、それぞれ、入出力バンブ120-1、122-1が形成される。以上のようにして、入出力回路セル100-1は、入出力回路110-1と、入出力バンブ120-1、122-1と、多層配線基板130に形成された配線132-1、134-1とによって構成されている。

【0026】入出力バンブ120-1、122-1は、それぞれ、パッケージ基板150の中に形成された配線152-1、154-1の一端と接続される。パッケージ基板150は、多層配線基板である。配線152-1、154-1の他端は、それぞれ、入出力ビン160-1、162-1に接続される。

【0027】次に、図4を用いて、複数の入出力回路セル110-1、110-2、110-3に対する断面構造について説明する。図4は、本発明の一実施形態による半導体集積回路装置に用いる複数の入出力回路セルの断面図であり、図2のY-Y断面図である。

【0028】入出力回路110-1、110-2、110-3は、それぞれ、半導体チップ1000の内部に、等間隔で形成されている。入出力回路110-1、110-2、110-3の表面に、多層配線基板130が形成される。多層配線基板130の中には、配線132-1、132-2、132-3が形成される。配線132-1の一端が、入出力回路110-1の信号端子112-1と接続されるように、配線132-1は、多層配線基板130の中に形成される。また、配線132-2の

一端が、入出力回路110-2の信号端子112-2と接続されるように、配線132-2は、多層配線基板130の中に形成される。さらに、配線132-3の一端が、入出力回路110-3の信号端子112-3と接続されるように、配線132-3は、多層配線基板130の中に形成される。配線132-1, 132-2, 132-3の他端には、それぞれ、入出力パンプ120-1, 120-2, 120-3が形成される。

【0029】図示したように、入出力パンプ120-1, 120-2, 120-3は、それぞれ、入出力回路110-1, 110-2, 110-3の中央に位置しており、入出力回路110-1, 110-2, 110-3と入出力パンプ120-1, 120-2, 120-3との相互の位置関係は、各入出力回路セル毎に一定になっている。ここで、信号端子112-1, 112-2, 112-3が、それぞれ、入出力回路110-1, 110-2, 110-3に対して異なる位置に設けられているとしても、入出力回路110-1, 110-2, 110-3と入出力パンプ120-1, 120-2, 120-3との間に介在する多層配線基板130の中の配線132-1, 132-2, 132-3の配線形状を適宜設定することによって、入出力回路110と入出力パンプ120との相互の位置関係は、各入出力回路セル毎に一定になってすることが可能である。

【0030】入出力パンプ120-1, 120-2, 120-3は、それぞれ、パッケージ基板150の中に形成された配線152-1, 152-2, 152-3の一端と接続される。パッケージ基板150の中に形成された配線152-1, 154-1の他端は、それぞれ、入出力ピン160-1, 160-2, 160-3に接続される。

【0031】次に、図5を用いて、複数の入出力回路セル110-1, 110-2, 110-3に対する電源端子側の配線接続構造について説明する。図5は、本発明の一実施形態による半導体集積回路装置に用いる複数の入出力回路セルの電源端子側の配線接続構造を模式的に表した説明図であり、図2のZ-Z方向に断面をとった時の配線接続構造図である。

【0032】図2に示した入出力回路110-1, 110-2, 110-3の説明では明示しなかったが、入出力回路110-1, 110-2, 110-3は、それぞれ、3種類の電源端子が構成されている。即ち、接地レベルのVSS電源端子と、最も高いレベルのVDD電源端子と、接地レベルとVDDレベルの中間レベルのVTT電源端子である。VSS電源端子と、VDD電源端子と、VTT電源端子には、それぞれ、異なる電源電圧VSS, VDD, VTTを供給する必要がある。そのため、例えば、図2に示した入出力パンプ122-1から電源電圧VDDを供給し、3つの入出力回路110-1, 110-2, 110-3に分配する。同様にして、入出力パンプ122-2から

電源電圧VSSを供給し、3つの入出力回路110-1, 110-2, 110-3に分配し、入出力パンプ122-3から電源電圧VTTを供給し、3つの入出力回路110-1, 110-2, 110-3に分配する。

【0033】図5は、上述した配線関係を示している。即ち、図4に示したように、入出力パンプ120-1は、配線132-1により、入出力回路110-1の電源端子112-1に接続されているが、電源端子112-1がVDD電源端子であるとすると、配線132-1は、他の入出力回路110-2, 110-3のVDD電源端子にも接続されている。同様にして、電源端子112-2がVSS電源端子であるとすると、入出力パンプ120-2は、配線132-2によって、入出力回路110-2の電源端子112-2に接続され、さらに、他の入出力回路110-1, 110-3のVSS電源端子にも接続されている。また、電源端子112-3がVTT電源端子であるとすると、入出力パンプ120-3は、配線132-3によって、入出力回路110-3の電源端子112-3に接続され、さらに、他の入出力回路110-1, 110-2のVTT電源端子にも接続されている。

【0034】以上説明したように、本実施形態においては、図2に示したように、入出力パンプ120-1, 122-1, 120-2, 122-2, 120-3, 122-3は、それぞれ、入出力回路110-1, 110-2, 110-3の投影面内の中央の位置に配置されている。従って、入出力パンプのピッチ間隔L1と、入出力回路のピッチ間隔L2は、等しいものである。従来の方法では、入出力パンプと入出力回路は、レイアウト上複数個をまとめて配置する必要があったのに対して、本実施形態では、個々の入出力回路をそれぞれ独立して任意の位置に配置することが可能となる。即ち、パンプと入出力回路セルを一つの単位としてレイアウトすることで、LSI内の入出力パンプ配置と入出力回路セルの配置が等価になる。従って、LSI内の入出力パンプ配置と入出力回路セル配置を独立に考える必要がなくなり、LSI設計者は必要な場所に入出力回路セルを配置することだけ考えればよいため、レイアウトが容易となるものである。

【0035】また、入出力回路を任意の位置に配置できることから、例えば、図1に示したように、半導体チップ1000の2辺にL字型に入出力回路110-1, ..., 110-N, 210-1, ..., 210-Nを配置することが可能となる。

【0036】従って、L字型に配置された入出力回路ユニット110, 210に最も近接する位置に、SPU200を配置できるため、SPU200と入出力回路ユニット110, 210との距離を小さくすることができる。従って、従来の半導体チップの周辺に入出力回路を搭載する方式に比べて、伝搬ディレイを小さくすることができるものである。

【0037】また、半導体チップ1000の残りの領域に、MU400, FU500, BU600等を配置することにより、これらのユニットは、入出力回路ユニット110, 210によって分断されることなく、それぞれ、まとめて配置することが可能となっている。従って、従来の半導体チップの内部にストライプ状に入出力回路を搭載する方式に比べて、内部論理の伝搬ディレイのオーバーヘッドが小さくすることができるものである。

【0038】ここで、従来の入出力バンプのピッチ間隔を300μmとするとき、本実施形態において、入出力バンプのピッチ間隔L1及び入出力回路のピッチ間隔L2を150μmとすることにより、従来のように、半導体チップの4辺に入出力回路を配置した場合と同等の入出力ビン数を得ることができる。また、L字型のそれぞれの辺に配置された入出力回路の列を、図1に示したように1列でなく、2列を並列に配置することにより、入出力ビン数を2倍にすることも可能である。

【0039】入出力バンプ120-1, 122-1, 120-2, 122-2, 120-3, 122-3は、それぞれ、入出力回路110-1, 110-2, 110-3の信号端子112-1, 112-2, 112-3及び電源端子114-1, 114-2, 114-3と、多層配線基板中に形成された配線132-1, 134-1, 132-2, 134-2, 132-3, 134-3と接続されている。従って、信号端子112-1, 112-2, 112-3及び電源端子114-1, 114-2, 114-3が、入出力回路110-1, 110-2, 110-3の中のどのような位置に配置されているとしても、配線132-1, 134-1, 132-2, 134-2, 132-3, 134-3の位置を変えることにより、入出力バンプ120-1, 122-1, 120-2, 122-2, 120-3, 122-3は、それぞれ、入出力回路110-1, 110-2, 110-3の中央の位置に配置することが可能となる。

【0040】次に、図6を用いて、入出力バンプ120と入出力回路110の位置関係について、別の観点から説明する。図6は、本発明の一実施形態による半導体集積回路装置に用いる入出力回路セルの入出力バンプと入出力回路の位置関係の説明図である。

【0041】本実施形態においては、2個の入出力バンプが、1個の入出力回路に1対1で対応しており、入出力バンプの占める面積を、入出力回路の占める面積と等しくしているものである。この点について、図6を参照して説明する。ここで、入出力回路の占める面積とは、入出力回路が隣合って配置される場合、隣合う入出力回路の中央を境界として定めた場合に、ある入出力回路が占める面積のことである。即ち、図6に示す例において、入出力回路110-2が、入出力回路110-1, 110-3と隣合っている場合、入出力回路110-1

と入出力回路110-2の中央を示す破線CL-1が境界となり、入出力回路110-13入出力回路110-2の中央を示す破線CL-2が境界となる。左については、入出力回路110-2の端部を境界とする。このとき、斜線で示される領域の面積S1が、入出力回路の占める面積となる。

【0042】一方、入出力バンプの占める面積とは、入出力バンプが隣合って配置される場合、隣合う入出力バンプの中央を境界として定めた場合に、ある入出力バンプが占める面積のことである。即ち、図6に示す例において、入出力バンプ120-3が、入出力バンプ120-2, 120-4, 122-3と隣合っている場合、入出力バンプ120-2と入出力バンプ12902の中央を示す破線CL-2が境界となり、入出力バンプ120-2と入出力バンプ120-4の中央を示す破線CL-3が境界となり、入出力バンプ120-2と入出力バンプ122-3の中央を示す破線CL-4が境界となる。左については、入出力回路110-2の端部を境界とする。このとき、斜線で示される領域の面積S2が、入出力バンプ120-3の占める面積となる。同様にして、斜線で示される領域の面積S3が、入出力バンプ122-3の占める面積となる。入出力バンプ120-2の占める面積は、面積S2に等しく、入出力バンプ122-2の示す面積は、面積S3に等しいものである。

【0043】2個の入出力バンプ120-2, 122-2が、1個の入出力回路110-2に1対1で対応しているため、入出力バンプの占める面積(S2+S3)を、入出力回路の占める面積S1と比較すると、両者は等しくなっている。

【0044】本実施形態では、入出力回路に対して入出力バンプを対応して設け、入出力バンプの占める面積を、入出力回路の占める面積と等しくするようにしていくので、個々の入出力回路をそれぞれ独立して任意の位置に配置することが可能となる。

【0045】また、L字型に配置された入出力回路ユニットに最も近接する位置に、SPUを配置できるため、従来の半導体チップの周辺に入出力回路を搭載する方式に比べて、伝搬ディレイを小さくすることができるものである。

【0046】また、MU, FU, BU等のユニットは、入出力回路ユニットによって分断されることなく、それぞれ、まとめて配置できるため、内部論理の伝搬ディレイのオーバーヘッドが小さくすることができるものである。

【0047】なお、以上の説明では、図2の左側の列に示した入出力バンプ120-1, 120-2, 120-3を信号端子に接続し、右側の列に示した入出力バンプ122-1, 122-2, 122-3を電源端子に接続するものとして説明したが、信号端子と電源端子を交互に接続する構成としてもよい。即ち、入出力バンプ12

0-1, 122-2, 120-3を信号端子に接続し、右側の列に示した入出力パンプ122-1, 120-2, 122-3を電源端子に接続する。このような接続関係とすることにより、信号端子に接続される入出力パンプ120-1, 122-2, 120-3の間の距離を互いに離すことができ、また、間に比較的安定な電源ラインが介在することになるので、信号の相互の影響を低減することができる。

【0048】以上説明したように、入出力回路と入出力パンプの配置が、LSI等の内部論理のフロアプランと同じ扱いで可能となり、入出力回路のオーバーヘッドが小さくなり、LSIの性能を最大限に引き出すフロアプランが可能となる。即ち、半導体集積回路装置としての性能の向上を効果的に図ることができる。

【0049】以上説明したように、本実施形態によれば、個々の入出力回路をそれぞれ独立して任意の位置に配置することが可能となる。

【0050】また、L字型に配置された入出力回路ユニットに最も近接する位置に、SPUを配置できるため、従来の半導体チップの周辺に入出力回路を搭載する方式に比べて、伝搬ディレイを小さくすることができるものである。

【0051】また、MU, FU, BU等のユニットは、入出力回路ユニットによって分断されることなく、それぞれ、まとめて配置できるため、内部論理の伝搬ディレイのオーバーヘッドが小さくすることができるものである。

【0052】次に、図7を用いて、本発明の他の実施形態による入出力回路セルについて説明する。図7は、本発明の他の実施形態による半導体集積回路装置に用いる入出力回路セルの説明図である。

【0053】入出力回路セルは、1個の入出力回路170に対して、4個の入出力パンプ180, 182, 184, 186が対応する構成である。入出力パンプ180は、多層配線基板に形成された配線190を介して、入出力回路170に形成されている信号端子172と接続されており、信号パンプとなる。また、入出力パンプ182は、配線192を介して、入出力回路170に形成されているVDD電源端子174と接続されており、VDD電源パンプとなる。さらに、入出力パンプ184は、配線194を介して、入出力回路170に形成されているVSS電源端子176と接続されており、VSS電源パンプとなる。入出力パンプ186は、配線196を介して、入出力回路170に形成されているVTT電源端子178と接続されており、VTT電源パンプとなる。

【0054】従って、図5において説明したように、1つの電源パンプから3個の入出力回路の電源端子に電源を分配する配線は、不要となるものである。

【0055】次に、図8を用いて、本発明の他の実施形態による半導体集積回路装置における半導体チップ

上の各ユニットの配置について説明する。図8は、本発明のその他の実施形態による半導体集積回路装置における半導体チップ上のユニット配置の説明図である。

【0056】半導体チップ1000Aの左側の1辺及び下側の1辺の計2辺には、L字型に入出力回路ユニット110A, 210Aが配置されている。入出力回路ユニット110Aは、図1に示したように複数個の入出力回路から構成されている。同様にして、入出力回路ユニット210Aは、複数の入出力回路から構成されている。

半導体チップ1000Aの左下の隅、即ち、L字型に配置された入出力回路ユニット110A, 210Aに最も近接する位置には、外部インターフェースユニットである第1のSPU200Aが配置されている。SPU200Aは、入出力回路ユニット110A, 210Aに近接して配置されているため、SPU200Aと入出力回路ユニット110A, 210Aとの距離を小さくすることができます。従って、従来の半導体チップの周辺に入出力回路を搭載する方式に比べて、伝搬ディレイを小さくすることができるものである。

【0057】半導体チップ1000Aの残りの領域に、メモリユニット(MU)400A, 浮動小数点ユニット(FU)500A, 分岐命令ユニット(BU)600A等が配置される。ここで、FU500A及びBU600Aは、SPU300Aと接続されている。しかしながら、MU400Aが、SPU300Aから離れて配置されているため、新たに、MU400Aの近傍に、SPU310Aを配置している。SPU310Aの近傍には、入出力回路210Bを配置している。MU400Aは、外部とインターフェースするための端子数が少なくよいものであるため、このように、任意の位置に入出力回路210Bを配置することも可能である。

【0058】本実施形態においては、入出力回路110A, 210A, 210Bによって構成される入出力回路セルは、図2～図4に示した構成としているため、個々の入出力回路をそれぞれ独立して任意の位置に配置することが可能であり、最も適切なる位置に、新たに、入出力回路210Bを配置することも可能である。

#### 【0059】

【発明の効果】本発明によれば、入出力回路を半導体チップ上に任意に配置できるものとなる。

【0060】また、本発明によれば、半導体集積回路装置における外部インターフェースユニットと入出力回路の間の伝搬ディレイが小さく、内部論理の伝搬ディレイのオーバーヘッドが小さくすることができる。

#### 【図面の簡単な説明】

【図1】本発明の一実施形態による半導体集積回路装置における半導体チップ上のユニット配置の説明図である。

【図2】本発明の一実施形態による半導体集積回路装置に用いる入出力回路セルの説明図である。

13

【図3】本発明の一実施形態による半導体集積回路装置に用いる入出力回路セルの断面図であり、図2のX-X断面図である。

【図4】本発明の一実施形態による半導体集積回路装置に用いる複数の入出力回路セルの断面図であり、図2のY-Y断面図である。

【図5】本発明の一実施形態による半導体集積回路装置に用いる複数の入出力回路セルの電源端子側の配線接続構造を模式的に表した説明図であり、図2のZ-Z方向に断面をとった時の配線接続構造図である。

【図6】本発明の一実施形態による半導体集積回路装置に用いる入出力回路セルの入出力バンプと入出力回路の位置関係の説明図である。

【図7】本発明の他の実施形態による半導体集積回路装置に用いる入出力回路セルの説明図である。

【図8】本発明のその他の実施形態による半導体集積回路装置における半導体チップ上のユニット配置の説明図である。

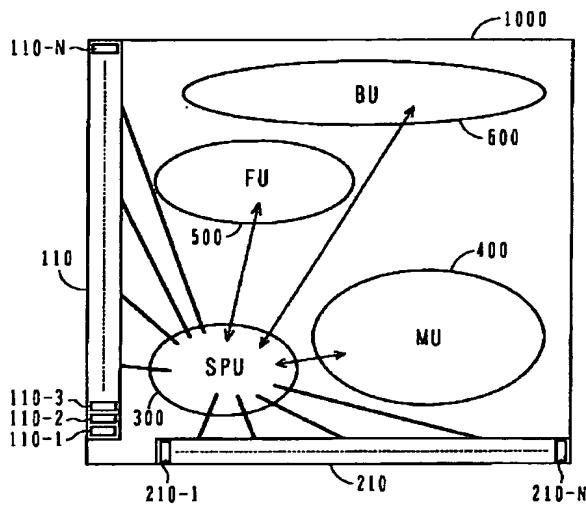
#### 【符号の説明】

100-1, 100-2, 100-3…入出力回路セル\*20

14

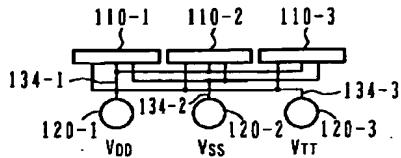
- \* 110, 210, 210B…入出力回路ユニット
- 110-1, 110-2, 110-3…入出力回路
- 112-1, 112-2, 112-3, 172…信号端子
- 114-1, 114-2, 114-3, 174, 176, 178…電源端子
- 120-1, 120-2, 122-1, 122-2, 180182, 184, 186…入出力バンプ
- 130…多層配線基板
- 132-1, 132-2, 134-1, 134-2, 152-1, 154-1, 190, 192, 194, 196…配線
- 150…パッケージ基板
- 160-1, 162-1…入出力ピン
- 300, 300A, 310A…SPU
- 400, 400A…MU
- 500, 500A…FU
- 600, 600A…BU
- 1000…半導体チップ

【図1】

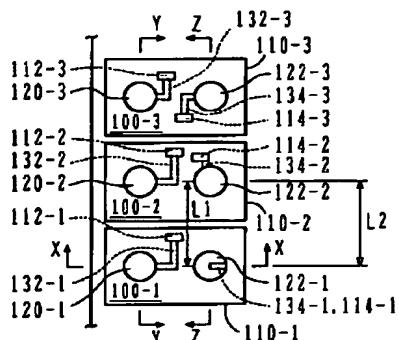


110, 210: 入出力回路ユニット  
110-1, 110-2, 110-3: 入出力回路

【図5】

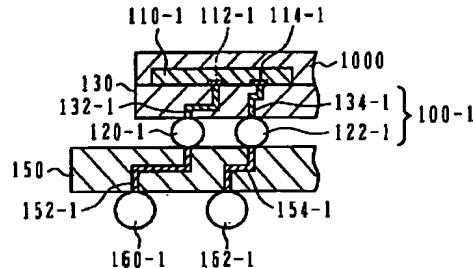


【図2】

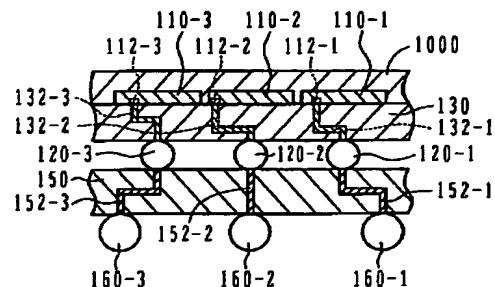


110, 210: 入出力回路ユニット  
110-1, 110-2, 110-3: 入出力回路  
112-1, 112-2, 112-3: 信号端子  
114-1, 114-2, 114-3: 電源端子  
120-1, 120-2, 122-1, 122-2: 入出力バンプ  
132-1, 132-2, 134-1, 134-2: 配線

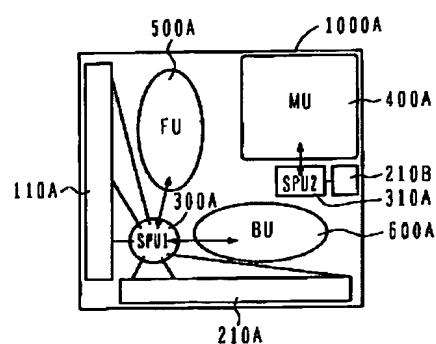
【図3】



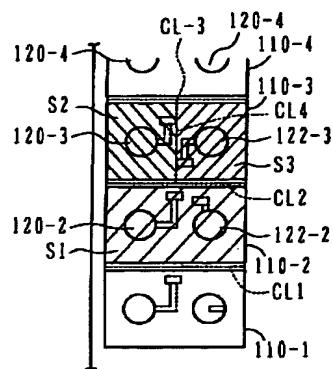
【図4】



【図8】



【図6】



【図7】

